

Application No. 91-16638 Laid-open No. 92-7232

## Abstract

invention relates The present to а method fabricating a CMOS structure, which comprising the steps of: providing an insulation module having at least two active device regions; forming an N-doped well or P-doped well in the at least two active device regions; forming a P-doped polycrystalline semiconductor gate electrode on the N-doped well and an N-doped polycrystalline semiconductor gate electrode on the P-doped well; forming a source/drain region on the doped wells, that is, being self-arrayed on the gate electrode; forming a dielectric layer on the surface of the above structure; and forming a source/drain contact.

peoplet/us

### @대 한 민 국 특 허 청 (KR)

**®Int.** Cl. <sup>8</sup> H 01 L 29/76

# ☞공 개 특 허 공 보(A)

체 859 호

⑤공개일자 서기 1992. 4. 28

**①공개번호 92-7232** 

②출원일자 서기 1991, 9, 25

②출원번호 91-16638

③9우선권주장③1990. 9. 27③9미국(US)⑤9588. 867

심사청구 : 없음

②발 명 자 페테르 제이. 스데벨

독일연방공화국, D-8193 쌩 하인리히, 보이에르베르거 스트라쎄 2

피쉐르로줄 아마르테멘츠

①출 원 인 모트로라 인코포레이터드 대표자 빈센트 쇼셉 로너

미합중국, 일리노이 60196, 샤움버그, 이스트 앨공컨 로드 1303

@대리인 변리사 이 병 호·최 달 용

(건 2 면)

#### 夕 ❸CMOS 구조의 제조방법

#### 50목허청구의 범위

1. CMOS 구조의 재조 방법에 있어서, 적어도 두개의 능동장치 영역을 갖는 절연모듈을 재공시키며, 상기 적어도 두개의 능동 장치 영역에 N도핑된 웰 및 P도핑된 웰을 형성시키며, 상기 N 도핑된 웰상에 P도핑된 다결정 반도체 게이트 전국과 상기 P도핑된 웰상에 N도핑된 폴리실리콘 반도체 게이트 전국을 형성시키며, 상기 도핑된 웰에 소스 및 드래인 영역 즉, 상기 게이트전국에 자기 정렬되는 형태를 형성시키며, 상기 게이트 전국을 포함하는 상기 구조의 표면상에 유전체충을 형성시키고, 소스 및 드레인 접촉을 형성시키는 단계를 구비하는 CMOS 구조의 제조방법.

2. CMOS구조의 제조 방법에 있어서, 복수의 농동 장치 영역을 갖는 결리 모듈을 제공시키며, 상기 능동 장치 영역의 적어도 일부에 도핑된 웰, N도건형을 갖는 상기 웰증 적어도 하나의 웰 및 P도전형을 갖는 상기 웰증 적어도 하나의 웰을 형성시키며, 상기 구조의 표면상에 제1등자의 질화물충을 형성하며, 상기 도핑된 웰상으로 부터 상기 제1등자의 질화물충 부분을 제거시키며, 상기 제1등자의 질화물충의 상기 부분이 사건에 배치되는 상기 도핑된 웰상에 게이트 산화물충을 형성시키며, 상기 구조의 표면상에 등자의 다결정 반도체충을 형성시키며, 상기 적어도 하나의 N도핑된 웰상에 배치되는 P도전형 및 상기 적어도 하나의 도핑된 웰상에 배치되는 N도전형을 갖도록 상기 등자이 다결정 반도체충을 도핑시키며, 상기 도핑된 등자의 다결정 반도체충으로 부터 재이트 전국을 형성시키며, 상기 도핑된웰에 소스 및 드레인 영역의 제1부분 즉 상기 게이트 전국에 자기 정렬되는 형태를 형성시키며, 상기 재이트 전국의 에지에 인접한 유전체 스페이서를 형성시키며, 상기 소스 및 드레인 영역의 제2부분 즉 상기 위전체 스페이서에 자기 정렬되는 형태를 형성시키며, 상기 게이트 전국 및 상기 유전체 스페이서를 포함하는 상기 구조의 표면상에 제2등자의 질화물충을 형성시키며, 상기 제2등자의 질화물충상에 등자의 산화물충을 형성시키고, 소스 및 드레인 접촉을 형성시키는 단계를 구비하는 CMOS 구조의 재조 방법.

3. CMOS 구조의 제조·방법에 있어서, 복수의 능동 장치 영역을 갖는 격리 모듈을 제공시키며, 상기 복수의 능동 장치 영역에 걸쳐서 스크린 산화물충을 형성시키며, 도핑된 웹을 형성하기 위하여 적어도 일부의 상기 복수의 능동장치 영역, N 도전형을 갖는 상기 도핑된 웹의 적어도 하나의 웹 및 P도전형을 갖는 상기 웹의 적어도 하나의 웹 에 도펀트를 주입시키며, 상기 구조의 표면상에 제1등각의 집화물충을 침착시키며, 상기 도핑된 웹상으

#### 공개부터 92-7232

로부터 상기 제1등자의 철화물충부분을 재거시키며, 상기 스크린 산화물충을 제거시키며, 상기 제1등자의 철화물충의 상기 부분이 사전에 배치되는 상기 도핑된 웹상에 계이트 산화물충을 성장시키며, 상기 구조의 표면상에 재1등자의 플리실리콘충을 침착시키며, 드래쉬홀드 주입을 상기 도핑된 웹코 주입시키며, 상기 제1등자의 다결정충상에 채2등자의 플리실리콘충을 침착시키며, 상기 적어도 하나의 N동핑된 웹상에 배치되는 P도건형과 적어도하나의 P도핑된 웹상에 배치되는 P도건형과 적어도하나의 P도핑된 웹상에 배치된 N도건형을 갖도록 상기 제1 및 제2등자의 플리실리콘을 도핑시키며, 상기 제1 및 제2등자의 플리실리콘을 도핑시키며, 상기 제1 및 제2등자의 플리실리콘충으로 부터 게이트 전국을 예정시키며, 상기 도핑된 웹에 소스 미츠 드레인 영역의 제1부분을 주입시키며 즉 상기 개이트 전국에 자기 정렬되도록 주입시키며, 상기 게이트 전국의 예지에 인접한유전체 스페이서를 형성시키며, 상기 제이트 전국 및 상기 유전체 스페이서를 포함하는 상기 구조의 표면상에 제2등자의 질화물충을 침착시키며, 상기 제2등자의 질화물충상에 등자의 산화물충을 침착시키며, 소스 및 드레인 접촉을 형성시키는 단계를 구비하는 CMOS 구조의 제조방법.

※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

#### 도면의 간단한 설명

제1도는 본 발명에 따라서 사용되는 격리 모듈형 부분을 도시한 확대 단면도.

